



UFSC – Universidade Federal de Santa Catarina
PPGEEL - Programa de Pós-Graduação em Engenharia Elétrica

Sistemas Digitais e Dispositivos Lógicos Reconfiguráveis

**Projeto Final – Implementação de microprocessador em
VHDL e prototipação em FPGA**

Professor: Eduardo Augusto Bezerra
Aluno: Kleber Reis Gouveia Júnior

Florianópolis, 2018

Sumário

1. Proposta	3
2. Metodologia	3
3. Conclusão	8
4. Referências	8

1. Proposta

O objetivo da disciplina Sistemas Digitais e Dispositivos Lógicos Reconfiguráveis é introduzir os conceitos de projeto de sistemas digitais, por intermédio de linguagens de descrição de hardware, e dispositivos lógico programáveis. Nas aulas iniciais, é apresentado o uso de VHDL no projeto de circuitos combinacionais e sequenciais [4.1], em seguida é dada a proposta para que os alunos desenvolvessem uma CPU completa. Trata-se de uma abordagem Project Based Learning, onde é apresentado como problema o desenvolvimento do bloco de dados (datapath) e bloco de controle de uma CPU, visando a implementação e prototipação em um dispositivo lógico reconfigurável.

O microcontrolador ZR16 desenvolvido pela Santa Maria Design House (SMDH) em parceria com a Chipus para aplicações comerciais [4.2] foi usado como arquitetura de referência para implementação do projeto final da disciplina. Foi selecionado um subconjunto de suas instruções e baseado nele o datapath e o módulo de controle foram projetados.

2. Metodologia

O processo de desenvolvimento seguido neste projeto foi baseado em [4.3] e está apresentado na Figura 1.

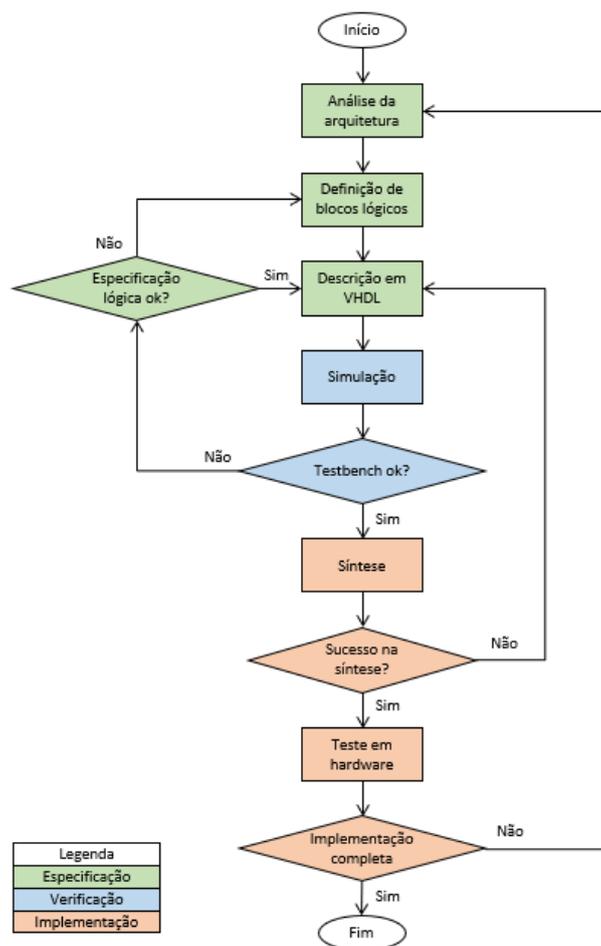


Figura 1 - Fluxo de desenvolvimento.

O processo de desenvolvimento é composto de 3 macro etapas:

- **Especificação:** Onde é feito o estudo do sistema, gerada a definição de requisitos e arquitetura;
- **Verificação:** Onde é feita a validação lógica dos blocos e requisitos por meio de simulações;
- **Implementação:** Onde é feita a aplicação e teste da estrutura desenvolvida em hardware.

O processo é cíclico e a cada iteração chega-se mais perto da completude do sistema.

1. Especificação

O set de instruções definido, apresentado na Tabela 1, é o mesmo do ZR16, definido em seu datasheet [4.4].

Tabela 1 - Instruções implementadas.

Instrução	Opcode
JMP	0000
JZ, JNZ, JC, JVP	0001
CALL	0010
RET, RETC, RETS, RETZ	0011 e bit 7 =1
MVS	0011 e bit 7 =0
AND	0100
OR	0101
XOR	0110
CMP	0111
ADD	1000
SUB	1001
ROT	1010
SHL	1011
SHA	1100
MOV	1101
DJNZ	1110
INC	1111 e bit 8 =0
DEC	1111 e bit 8 =1

Já os modos de endereçamento selecionados são um subconjunto dos modos de endereçamento do ZR16, foram removidos os modos de endereçamento que operavam regiões de memória de IO. A mostra os modos de endereçamento implementados.

Tabela 2 - Modos de endereçamento implementados.

Endereçamento	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
rd, ro	Opcode				0	0	0	0	rd				ro						
rd, (ro)					0	0	0	1	rd				ro						
r0, (end)					0	0	1	0	endereço										
r0, imediato					0	0	1	1	imediato										
(rd), ro					0	1	0	0	rd				ro						
(rd),(ro)					0	1	0	1	rd				ro						
(r0), (end)					0	1	1	0	endereço										
(r0), imediato					0	1	1	1	imediato										
(end), r0					1	0	0	0	endereço										
(end), (r0)					1	0	0	1	endereço										

Para que todas as instruções fossem executadas em todos os modos de endereçamento definidos foi preparada a arquitetura mostrada na Figura 2.

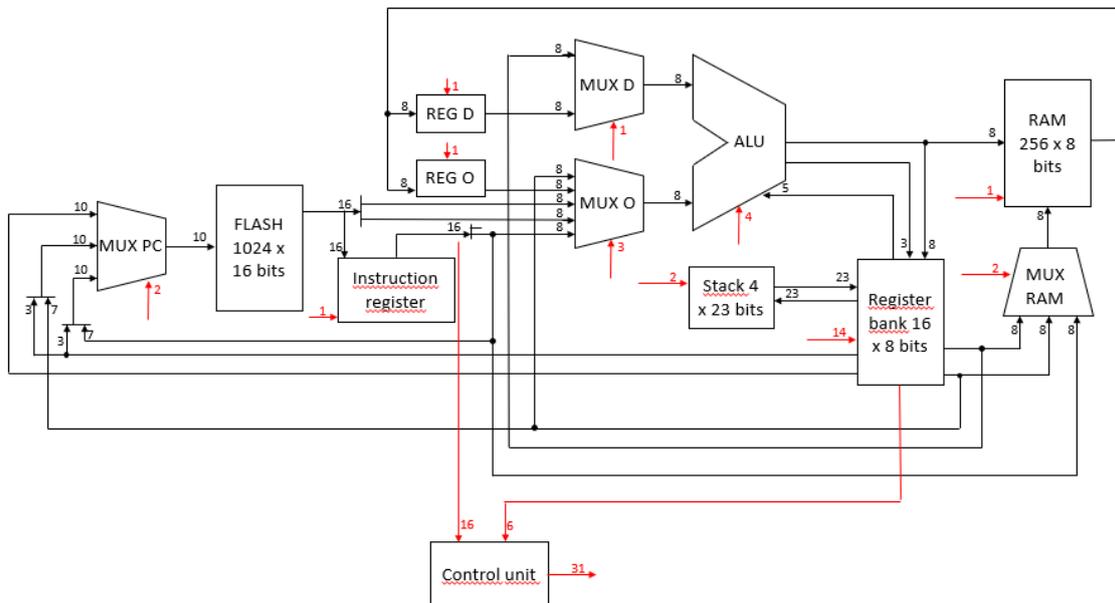


Figura 2 - Arquitetura do microprocessador desenvolvido.

2. Verificação

Cada bloco juntamente com seu testbench foi implementado em VHDL e simulado individualmente utilizando o Altera ModelSim 10.1. A cada ciclo de descrição e simulação, o modelo era aperfeiçoado e testado até que todas as funcionalidades desejadas fossem atingidas.

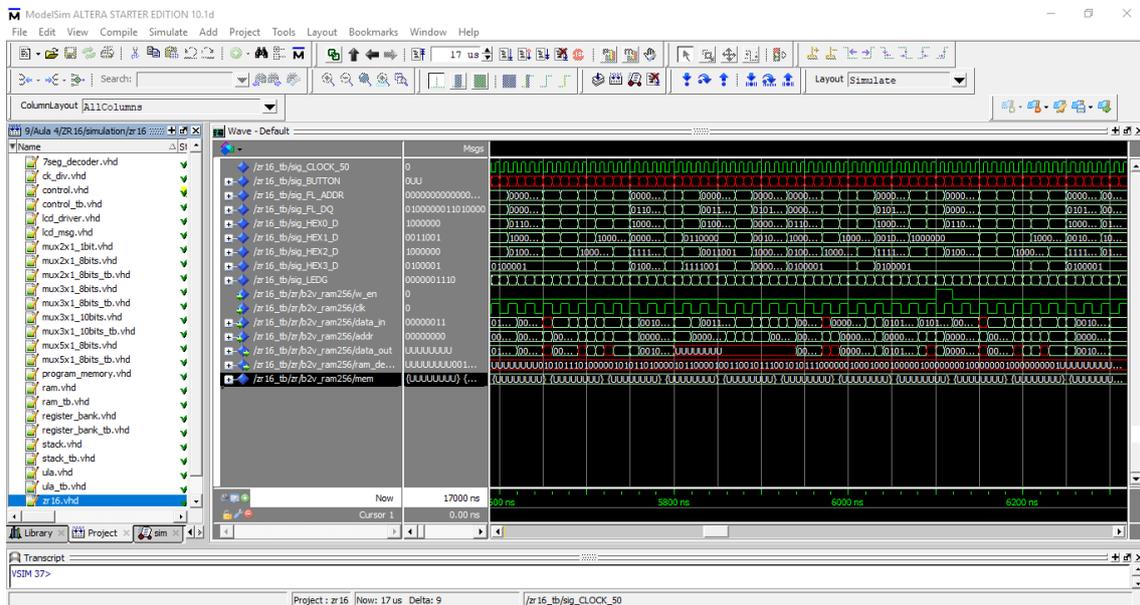


Figura 3 - Simulação do top level do projeto no ModelSim.

3. Implementação

Com os blocos definidos e testados foi feita a síntese utilizando o Altera Quartus II 13.1 para rodar em um Cyclone III numa placa DE0 da Terasic, mostrada na Figura 4.



Figura 4 - Placa de desenvolvimento DE0.

Nesta etapa foi possível identificar algumas falhas nas descrições que não foram feitas seguindo boas práticas de projeto. Mesmo tendo sido compiladas e simuladas no ModelSim, a ferramenta de síntese não conseguia gerar circuitos a partir do código VHDL e exibia mensagens de erro e advertência indicando os pontos falhos das descrições. Após alguns ciclos de descrição, verificação e síntese chegou-se ao modelo final, o relatório de síntese é mostrado na Figura 5.

Flow Summary	
Flow Status	Successful - Mon Jun 18 22:08:39 2018
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	zr16
Top-level Entity Name	zr16
Family	Cyclone III
Device	EP3C16F484C6
Timing Models	Final
Total logic elements	4,078 / 15,408 (26 %)
Total combinational functions	3,086 / 15,408 (20 %)
Dedicated logic registers	2,378 / 15,408 (15 %)
Total registers	2378
Total pins	112 / 347 (32 %)
Total virtual pins	0
Total memory bits	0 / 516,096 (0 %)
Embedded Multiplier 9-bit elements	0 / 112 (0 %)
Total PLLs	0 / 4 (0 %)

Figura 5 - Relatório de síntese da versão final.

Na etapa de testes em hardware, além dos blocos de circuito definidos na Figura 2, também foram utilizados blocos para auxiliar nos testes e debug do microprocessador utilizando alguns periféricos da placa de desenvolvimento. Foram adicionados blocos decodificadores para displays de sete segmentos que mostravam a instrução que estava sendo apontada pelo PC, bloco de controle do display LCD que mostrava os valores dos registradores e dos primeiros endereços da memória RAM e bloco divisor de clock para a utilização do oscilador de 50MHz que tem na placa. O top level elaborado em block diagram file (.bdf) no Quartus II é mostrado na Figura 6.

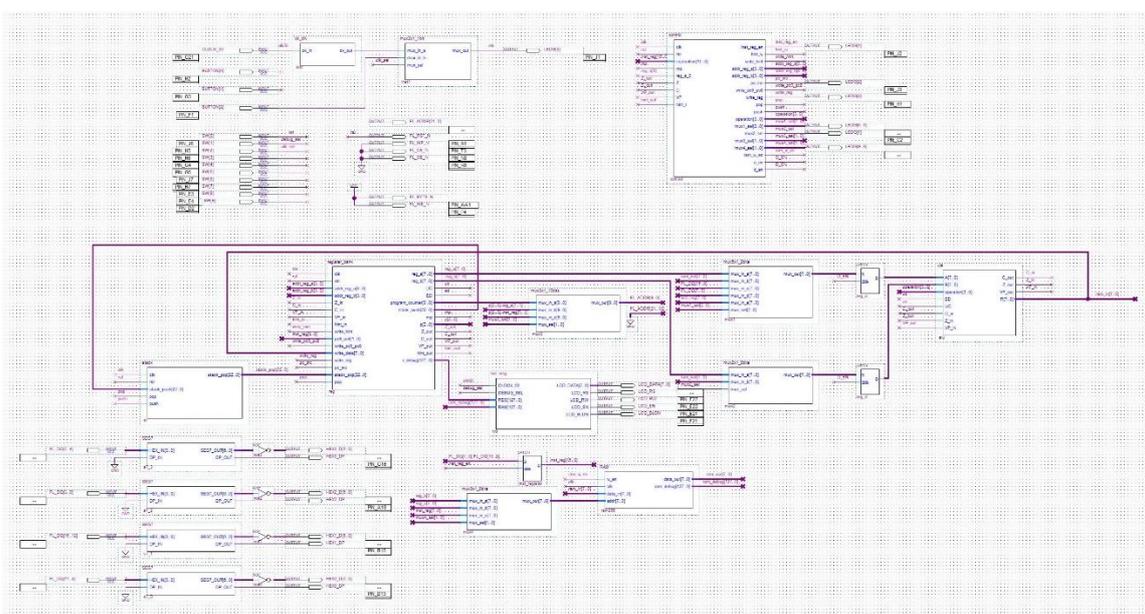


Figura 6 - Top level elaborado em .bdf.

O RTL gerado é mostrado na Figura 7.

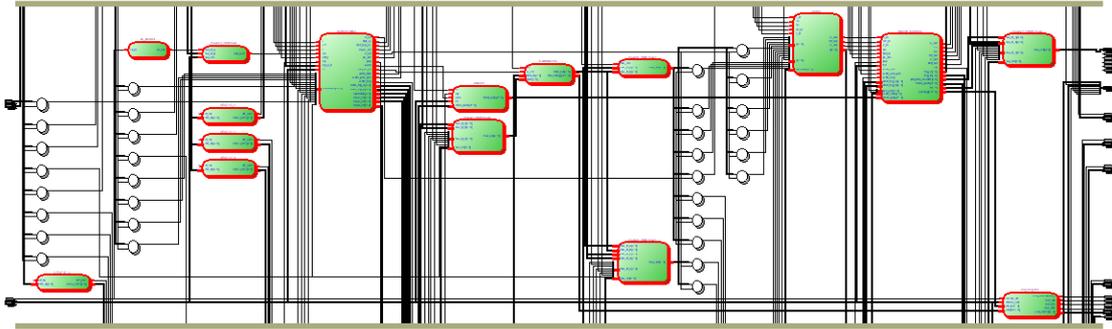


Figura 7 - Diagrama RTL gerado na síntese.

3. Conclusão

Por meio desse projeto foi verificada a flexibilidade do uso de FPGAs e linguagens HDL para a implementação de projetos digitais. Também foi possível entender melhor o fluxo de desenvolvimento de projetos de circuitos digitais complexos onde cada etapa mostra o seu valor e garante a maior eficiência do processo de desenvolvimento. Desde o estudo da arquitetura proposta e levantamento de requisitos de implementação, passando pela verificação dos blocos de circuito de forma rápida utilizando simuladores que rodam os testbenchs definidos e finalizando com a implementação em hardware para finalizar o ciclo de desenvolvimento.

Em segundo plano foi compreendida a estrutura de um microcontrolador e as peculiaridades de cada bloco que o compõe bem como as técnicas de implementação necessárias para sua elaboração.

4. Referências

1. D'Amore, Roberto. *VHDL – descrição e síntese de circuito digitais*. LTC. 2005.
2. <http://w3.ufsm.br/smdh/index.php>, acessado em abril de 2018.
3. Cohen, Alan. *Prototype to Product, a practical guide for getting to market*. O'Reilly. 2015.
4. SMDH. *Datasheet - ZR16S08*. 2015.